

3 / Priority
DKing
5/15/01

1c971 U.S. PRO
09/775231



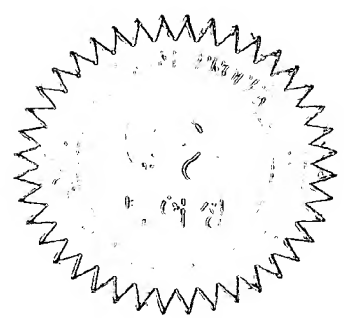
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 39317 호
Application Number

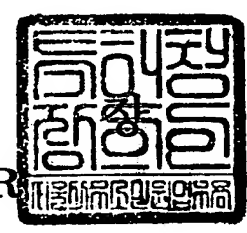
출원 년 월 일 : 2000년 07월 10일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 10 월 06 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.07.10
【발명의 명칭】	트렌치 소자분리 방법
【발명의 영문명칭】	TRENCH ISOLATION METHOD
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이한신
【성명의 영문표기】	LEE, HAN SIN
【주민등록번호】	690830-1411515
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 주공 1단지 APT 141동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	박문한
【성명의 영문표기】	PARK, MOON HAN
【주민등록번호】	670123-1675511
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 공세리 382-1 청구호수 APT 105동 1204호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

19 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

12 항 493,000 원

【합계】

522,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 트렌치 소자분리 방법에 관한 것으로, 반도체 기판에 트렌치 형성용 식각마스크 패턴을 형성하고 반도체 기판을 식각하여 트렌치를 형성한다. 트렌치 내부를 채우는 절연막을 형성하고, 절연막 상에 물질층을 형성한다. 이때, 고온에서 형성되는 막을 사용하여 물질층을 형성함으로써, 물질층을 형성하는 동안에 절연막의 치밀화가 진행되도록 한다. 물질층 및 절연막을 평탄화 식각하고 식각마스크 패턴을 제거하면, 트렌치 소자분리막이 완성된다. 이와 같은 발명에 의하면, 트렌치 소자분리막을 형성하는 공정에서 별도의 치밀화 공정을 사용하지 않고도 우수한 표면 프로파일을 갖는 소자분리막을 형성할 수 있다.

【대표도】

도 1f

【명세서】**【발명의 명칭】**

트렌치 소자분리 방법{TRENCH ISOLATION METHOD}

【도면의 간단한 설명】

도 1a 내지 도 1h는 본 발명의 실시예에 따른 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a 및 도2b는 각각 종래 기술 및 본 발명에 의해 형성된 트렌치 소자분리막의 프로파일을 나타내는 SEM 사진들이다.

*도면의 주요 부분에 대한 부호의 설명

10 : 반도체 기판 12 : 패드 산화막

13 : 식각방지막 15 : 포토레지스트 패턴

16 : 식각마스크 패턴 17 : 트렌치

19 : 산화막 20 : 산화방지막

21 : 캡핑막 23 : 절연막

24 : 물질층 23a : 소자분리막 패턴

23b : 소자분리막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 좀더 구체적으로는 반도체 장

치의 트렌치 소자분리 방법에 관한 것이다.

<12> 반도체 기판에서 활성 영역들을 한정하고 각 활성 영역들을 전기적으로 절연시키기 위하여 소자분리막을 형성한다. 이러한 소자분리막을 형성하는 방법으로는 LOCOS(local oxidation of silicon) 공정 및 트렌치 소자분리 공정이 사용된다. LOCOS 공정은 반도체 기판을 국부적으로 열산화시켜 필드(field) 산화막을 형성하는 방법으로 공정이 단순하다는 장점이 있다. 그런데, 반도체 소자가 점점 고집적화됨에 따라 LOCOS 공정에 의한 산화막의 버즈 벡(bird's beak)이나 평탄도 불량 등이 문제시되면서, 최근에는 이를 개선한 트렌치 소자분리 공정이 주로 사용되고 있다.

<13> 통상적으로 트렌치 소자분리 공정은 반도체 기판 상에 트렌치용 식각 마스크를 형성하고, 식각 마스크에 의하여 반도체 기판을 식각하여 트렌치를 형성한 후, 트렌치 내부를 절연막으로 채우는 공정에 의해 진행된다. 이때, 후속 습식 식각 공정에서 절연막이 식각되어 소자분리막의 특성을 저하시키는 것을 방지하기 위하여 절연막을 치밀화(densification)시키는 공정을 실시한다. 치밀화 공정은 예를 들어, 질소 분위기에서 900 내지 1200 °C 의 온도로 1시간 정도 열처리함으로써 진행된다.

<14> 이러한 치밀화 공정은 고온에서 진행되므로 트렌치 내부에 형성된 절연막과 반도체 기판의 부피 변화를 유발한다. 그런데, 절연막과 반도체 기판은 열팽창율이 다르므로 절연막과 반도체 기판의 계면인 트렌치 내벽에 스트레스가 가해지게 된다.

<15> 이를 개선하기 위한 방법으로, 미국 특허 제6,037,237호는 트렌치 내부를 채우는 절연막을 형성할 때, 스트레스 특성이 다른 절연막을 적층시킨 스택(stack) 구조의 절연막을 형성하는 방법을 개시하고 있다. 이와 같은 종래기술에 의하면, 압축(compressive) 스트레스 특성을 갖는 절연막과 인장(tensile) 스트레스 특성을 갖는 절연막, 예를

들어, USG(undoped silicate glass)막과 PTEOS(plasma tetraethylorthosilicate)막 또는 HDP(high density plasma) 산화막과 PTEOS막을 적층시킴으로써, 치밀화 공정 동안 반도체 기판에 가해지는 스트레스를 감소시키게 된다. 또한, 상부 절연막을 평탄화 특성이 우수한 절연막으로 형성함으로써, 후속 평탄화 식각 공정을 용이하게 하는 효과도 거둘 수 있다.

<16> 그러나, 스트레스를 완화시키기 위하여 스택 구조의 절연막을 형성한 경우에도 후속 공정으로 실시되는 고온 치밀화 공정은 여전히 공정 전반에 부담을 주고 있다. 즉, 고온 열처리시 발생하는 스트레스를 완전히 없앨 수 없으며, 시간과 효율면에서도 생산성을 저하시키는 요인이 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 상술한 제반 문제를 해결하기 위해 제안된 것으로 트렌치 내부에 형성되는 절연막을 치밀화시키기 위한 공정을 생략할 수 있는 트렌치 소자분리 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<18> (구성)

<19> 상술한 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 패드 산화막 및 식각 방지막을 차례로 형성한다. 패터닝 공정으로 상기 식각방지막 및 상기 패드 산화막을 식각하여 상기 반도체 기판의 소정 영역을 노출시키는 식각마스크 패턴을 형성한다. 상기 식각마스크 패턴을 식각마스크로 사용하여 상기 노출된 반도체 기판을 식각하여 트렌치를 형성한다. 상기 트렌치 내측벽 및 바닥에 산화막을 형성하고 상기 산화막 상에 산화

방지막을 형성한다. 상기 산화방지막이 형성된 결과물 전면에 상기 트렌치 내부를 채우는 절연막을 형성하고, 상기 절연막 상에 물질층을 형성한다. 이때, 고온에서 형성되는 막을 사용하여 상기 물질층을 형성함으로써, 상기 물질층이 형성되는 동안 상기 절연막의 치밀화가 진행되도록 한다. 예를 들어, 물질층은 500 °C 이상의 온도에서 형성되는 절연막들인 HTO(high temperature oxide)막, 고온 USG(undoped silicate glass)막, 폴리실리콘막 및 비정질 실리콘막 중에서 어느 하나로 형성한다. 상기 식각마스크 패턴이 노출되도록 상기 물질층 및 상기 절연막을 평탄화 식각하여 상기 트렌치 내에 소자분리막 패턴을 형성하고 상기 노출된 식각마스크 패턴을 제거하면 트렌치 소자분리막이 완성된다.

<20> (실시예)

<21> 이하, 도 1을 참조하여 본 발명의 실시예를 상세히 설명한다.

<22> 도 1a 및 도 1h는 본 발명의 실시예에 의한 반도체 장치의 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<23> 도 1a를 참조하면, 반도체 기판(10) 전면에 패드 산화막(12)을 형성하고 패드 산화막(12) 상에 식각방지막(13)을 형성한다. 패드 산화막(12)은 식각방지막(13)이 반도체 기판(10)에 형성될 때 반도체 기판(10)에 가해지는 스트레스를 완화시키는 버퍼(buffer)층으로 작용하고, 식각방지막(13)은 트렌치를 형성하는 후속 공정에서 식각마스크로 사용된다. 패드 산화막(12)은 예를 들어, 열산화막으로 형성하며, 20 내지 200 Å의 두께로 형성한다. 식각방지막(13)은 예를 들어, 실리콘 질화막 또는 폴리실리콘막으로 형성하며, 500 내지 2000 Å의 두께로 형성한다. 여기서, 식각방지막(13)으로 폴리실리콘막을 형성하는 경우에는 폴리실리콘막 상에 HTO막(도시하지 않음)을 추가로 형성하는 것이

바람직하다. 이는 후속 공정에서 트렌치를 형성하는 동안 폴리실리콘막이 식각되는 것을 방지하기 위함이다.

<24> 도 1b 및 도 1c를 참조하면, 식각방지막(13) 위에 포토레지스트막을 형성한 후 패터닝하여 트렌치 영역을 정의하는 포토레지스트 패턴(15)을 형성한다. 포토레지스트 패턴(15)을 식각마스크로 사용하여 반도체 기판(10)의 소정 영역이 노출되도록 식각 방지막(13) 및 패드 산화막(12)을 차례로 식각한다. 그러면, 패드 산화막 패턴(12a) 및 식각 방지막 패턴(13a)이 차례로 적층된 식각마스크 패턴(16)이 형성된다. 포토레지스트 패턴(15)을 산소 플라즈마 애싱(O_2 plasma ashing) 공정으로 제거한다.

<25> 도 1d 및 도 1e를 참조하면, 식각마스크 패턴(16)을 식각마스크로 사용하여 노출된 반도체 기판(10)을 건식 식각하여 트렌치(17)를 형성한다. 트렌치(17)를 형성할 때 반도체 기판(10)에 가해진 식각 손상을 치유하기 위하여 트렌치(17)의 내측벽 및 바닥에 산화막(19)을 형성한다. 산화막(19)은 예를 들어, 열산화막 또는 CVD(chemical vapor deposition) 산화막으로 형성하고, 20 내지 200 Å의 두께로 형성한다. 이때, CVD 산화막을 형성하는 경우에는 CVD 산화막을 형성한 후 별도의 열처리 공정을 실시한다.

<26> 산화막(19)이 형성된 결과물 전면에서 후속의 열공정에 의해 트렌치(17)의 내벽이 추가로 산화되는 것을 방지하기 위한 산화방지막(20)인 실리콘 질화막을 형성한다. 또한, 산화방지막(20) 위에 산화방지막(20)을 보호하기 위한 캡핑막(21), 예를 들어 CVD 산화막을 형성하는 것이 바람직하다. 캡핑막(21)은 트렌치 내부를 채우는 절연막을 형성하는 후속 공정에서 산화방지막(20)이 손상되는 것을 방지해 준다. 구체적으로, 트렌치 내부를 HDP 산화막으로 채우는 경우에는 아르곤에 의한 식각으로부터 산화방지막(20)을 보호

한다. 또한, HDP 산화막 대신에 USG막을 형성하는 경우 USG막의 증착 특성을 개선하기 위하여 트렌치(17)가 형성된 결과물 전면을 플라즈마 처리하는데, 이때 캡핑막(21)은 플라즈마에 의해 산화방지막(20)이 손상되는 것을 방지해준다. 산화방지막(20) 및 캡핑막(21)은 각각 20 내지 300 Å의 두께로 형성한다.

<27> 도 1f를 참조하면, 캡핑막(21)이 형성된 결과물 전면에 트렌치(17) 내부를 채우도록 절연막(23)을 형성한다. 절연막(23)은 트렌치(17) 내부를 보이드(void) 없이 채울 수 있도록 갭 필링(gap filling) 특성이 우수한 절연막, 예를 들어, HDP 산화막 또는 USG막으로 형성한다.

<28> 이어서, 본 발명의 특징인, 절연막(23) 상에 물질층(24)을 형성하는 공정을 진행한다. 이때, 물질층(24)은 후속 공정으로 진행되는 평탄화 식각 공정을 용이하게 할 수 있도록 평탄화 특성이 우수한 막으로 형성한다. 또한, 물질층(24)은 절연막(23)에 의해 반도체 기판(10)에 가해지는 스트레스를 완화시킬 수 있는 스트레스 특성을 지닌 막으로 형성하는 것이 바람직하다. 이에 더하여, 물질층(24)은 절연막(23)의 치밀화가 진행되기에 충분한 고온, 바람직하게는 500 °C 이상의 고온에서 증착되는 막으로 형성한다. 그러면, 물질층(24)을 형성하는 동안 절연막(23)의 치밀화가 동시에 진행되므로 별도의 치밀화 공정을 생략할 수 있게 된다.

<29> 물질층(24)은 예를 들어, HTO막, 고온 USG막, 폴리실리콘막 및 비정질 실리콘막 중 어느 하나로 형성한다. 구체적으로, HTO막은 700 내지 800 °C의 온도에서 SiH_4 기체 및 O_2 기체를 사용하는 CVD 공정으로 형성하고, 고온 USG막은 500 °C 정도의 온도에서 TEOS를 사용하는 CVD 공정으로 형성한다. 또한, 폴리실리콘막은 600 내지 700 °C의 온도에서 그리고 비정질 실리콘막은 500 내지 600 °C의 온도에서 SiH

4 기체를 사용하는 CVD 공정으로 형성한다.

<30> 도 1g를 참조하면, 식각마스크 패턴(16)이 노출되도록 물질층(24) 및 절연막(23)을 CMP(chemical mechanical polishing) 공정으로 평탄화 식각하여 트렌치 내부를 채우는 소자분리막 패턴(23a)을 형성한다.

<31> 도 1h를 참조하면, 식각마스크 패턴(16)을 습식 식각으로 제거하면 트렌치 소자분리막(23b)이 완성된다. 이때, 식각방지막 패턴(13a)이 실리콘 질화막인 경우, 식각방지막 패턴(13a)은 인산 용액을 사용하여 식각한다. 그리고, 패드 산화막 패턴(12a)은 불산 용액을 사용하여 식각한다.

<32> 이와 같은 방법에 의하면, 트렌치(17) 내부를 절연막(23)으로 채운 후 물질층(24)을 적층하는 공정에서 절연막(23)의 치밀화가 진행되므로, 별도의 고온 치밀화 공정을 거치지 않고 습식 식각율이 낮은 트렌치 소자분리막(23b)을 형성할 수 있게 된다.

<33> 도 2a 및 도 2b는 각각 종래 기술에 의해 형성된 트렌치 소자분리막과 본 발명에 의해 형성된 트렌치 소자분리막의 프로파일을 보여주는 SEM(scanning electron microscopy) 사진들이다.

<34> 도 2a는 종래 기술에 의해 형성된 트렌치 소자분리막의 프로파일을 나타내는 사진이다. 트렌치를 형성한 후 산소 분위기에서 850 °C로 열처리하여 트렌치 내측벽 및 바닥에 110 Å의 열산화막을 성장시켰다. 열산화막 상에 CVD 공정으로 55 Å의 질화막을 형성하였고, 질화막 상에 100 Å의 CVD 산화막을 형성하였다. 이후, 트렌치 내부를 채우는 HDP 산화막을 5500 Å의 두께로 형성하고, HDP 산화막 상에 2000 Å 정도의 PTEOS막을 형성한 후, 1050 °C에서 1시간 동안 열처리하여 치밀화 공정을 진행하였다. 도 2b는 본

발명에 의해 형성된 트렌치 소자분리막의 프로파일을 나타내는 사진이다. 도 2a와 동일한 방법으로 트렌치 내벽에 열산화막, 질화막 및 CVD 산화막을 차례로 형성한 후, 트렌치 내부를 채우는 HDP 산화막을 5500 Å의 두께로 형성하고, HDP 산화막 상에 780 °C의 온도에서 HTO 산화막을 형성하였다.

<35> 도 2a 및 도 2b를 참조하면, 치밀화 공정을 생략한 본 발명에 의해 형성된 트렌치 소자분리막의 프로파일(도 2b)이 종래 기술에 따라 치밀화 공정을 거친 경우(도 2b)와 거의 유사함을 알 수 있다. 다시 말해서, 본 발명에 따르면, 별도의 치밀화 공정을 거치지 않고도, 식각마스크 패턴을 제거할 때 소자분리막의 가장자리가 과도하게 리세스되는 현상을 방지할 수 있다.

【발명의 효과】

<36> 본 발명은 트렌치를 절연막으로 채우고 절연막 상에 고온에서 형성되는 물질층을 적층하여 물질층이 형성되는 동안 절연막이 치밀화되도록 함으로써, 별도의 치밀화 공정을 생략할 수 있게 된다. 따라서, 공정을 단순화시키고 생산성을 증진시키는 효과가 있다.

<37> 또한, 반도체 기판 전면을 고온에서 열처리하는 치밀화 공정이 생략되므로, 반도체 기판에 가해지는 스트레스가 감소되어 소자의 신뢰성을 향상시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 상기 반도체 기판의 소정 영역을 노출시키는 식각마스크 패턴을 형성하는 단계;

상기 식각마스크 패턴을 식각마스크로 사용하여 상기 노출된 반도체 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 형성된 결과물 전면에 상기 트렌치 내부를 채우는 절연막을 형성하는 단계;

상기 절연막 상에 500 ℃ 이상의 온도에서 형성되는 물질층을 적층하는 단계;

상기 식각마스크 패턴이 노출되도록 상기 물질층 및 상기 절연막을 평탄화 식각하여 상기 트렌치 내에 소자분리막 패턴을 형성하는 단계; 및

상기 노출된 식각마스크 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 2】

제 1 항에 있어서,

상기 절연막은 HDP(high density plasma) 산화막 또는 USG(undoped silicate glass)막으로 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 3】

제 1 항에 있어서,

상기 물질층은 HTO(high temperature oxide)막, 고온 USG(undoped silicate glass)

막, 폴리실리콘막 및 비정질 실리콘막 중 어느 하나로 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 4】

제 1 항에 있어서,
상기 식각마스크 패턴을 형성하는 단계는,
상기 반도체 기판 상에 패드 산화막을 형성하는 단계;
상기 패드 산화막 상에 식각방지막을 형성하는 단계; 및
상기 식각방지막 및 상기 패드 산화막을 패터닝하여 상기 반도체 기판의 소정 영역을 노출시키는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 5】

제 4 항에 있어서,
상기 패드 산화막은 20 내지 200 Å의 두께로 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 6】

제 4 항에 있어서,
상기 식각방지막은 실리콘 질화막으로 형성하고, 그 두께는 500 내지 2000 Å인 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 7】

제 4 항에 있어서,

상기 식각방지막은 폴리실리콘막과 HTO(high temperature oxide)막을 적층시켜 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 8】

제 1 항에 있어서,

상기 절연막을 형성하기 전에,

상기 트렌치 내측벽 및 바닥에 산화막을 형성하는 단계; 및

상기 산화막 상에 산화방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 9】

제 8 항에 있어서,

상기 산화막은 열산화막 또는 CVD(chemical vapour deposition) 산화막으로 형성하고, 그 두께는 20 내지 300 Å인 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 10】

제 8 항에 있어서,

상기 산화방지막은 실리콘 질화막으로 형성하고, 그 두께는 20 내지 300 Å인 것을 특징으로 하는 트렌치 소자분리 방법.

【청구항 11】

제 8 항에 있어서,

상기 산화방지막과 상기 절연막 사이에 캡핑막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

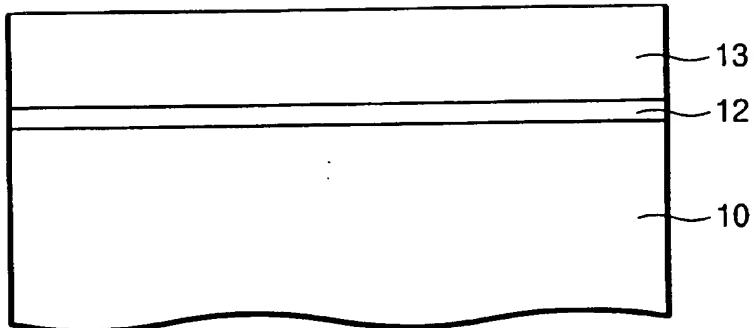
【청구항 12】

제 11 항에 있어서,

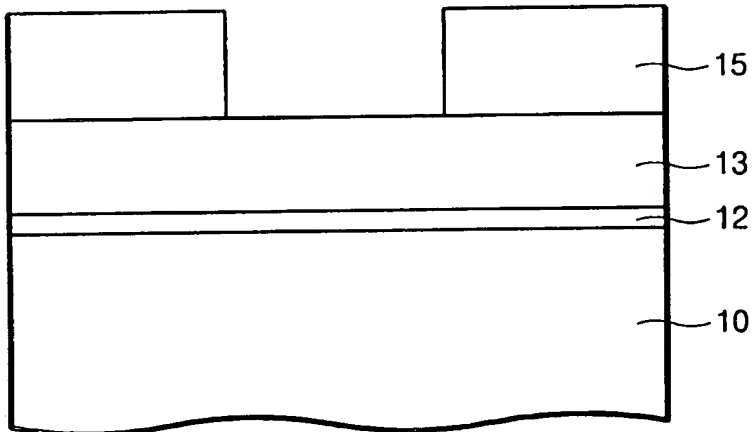
상기 캡핑막은 CVD(chemical vapor deposition) 산화막으로 형성하고, 그 두께는 20 내지 300 Å인 것을 특징으로 하는 트렌치 소자분리 방법.

【도면】

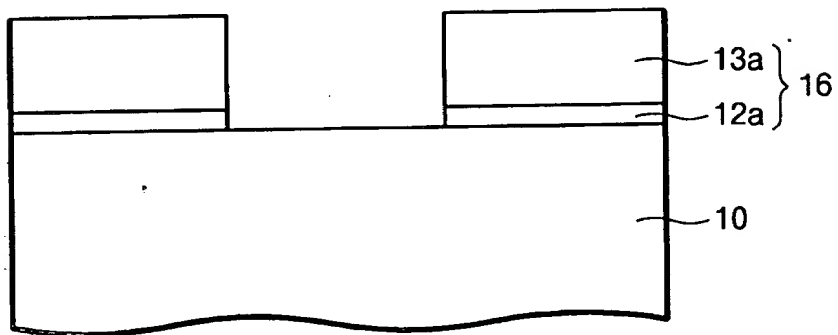
【도 1a】



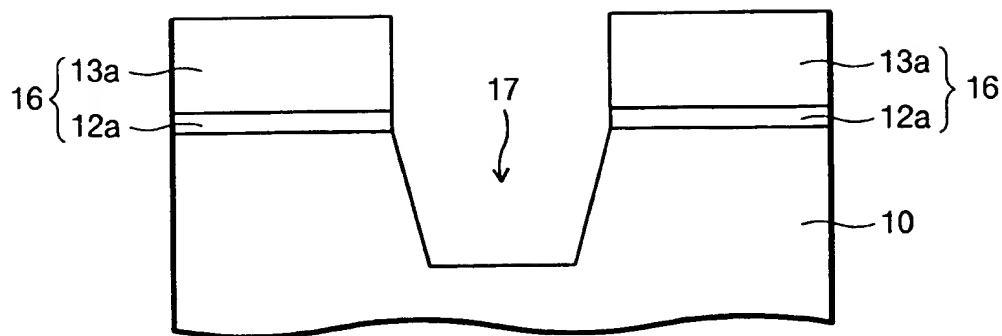
【도 1b】



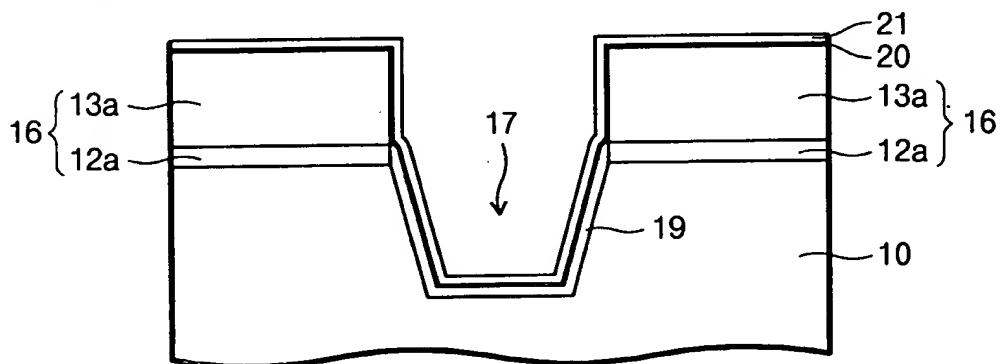
【도 1c】



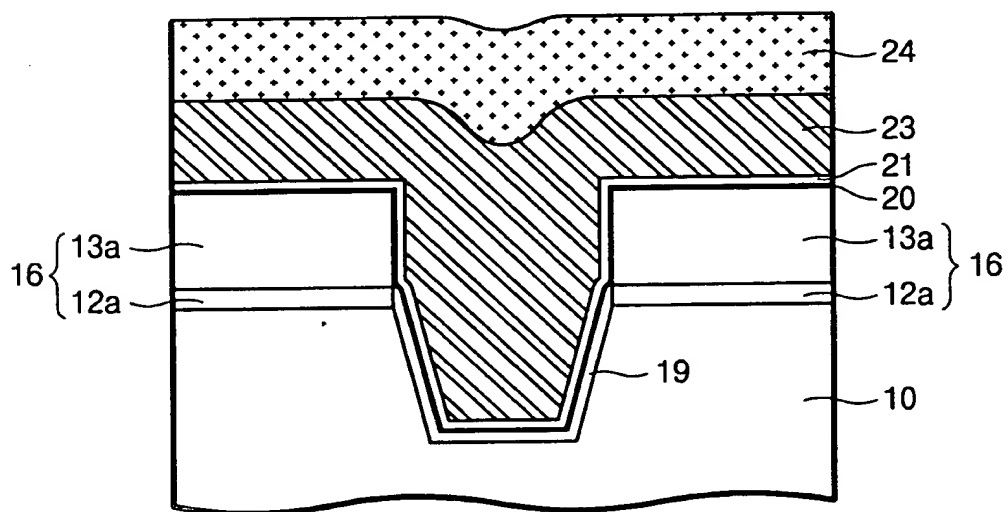
【図 1d】



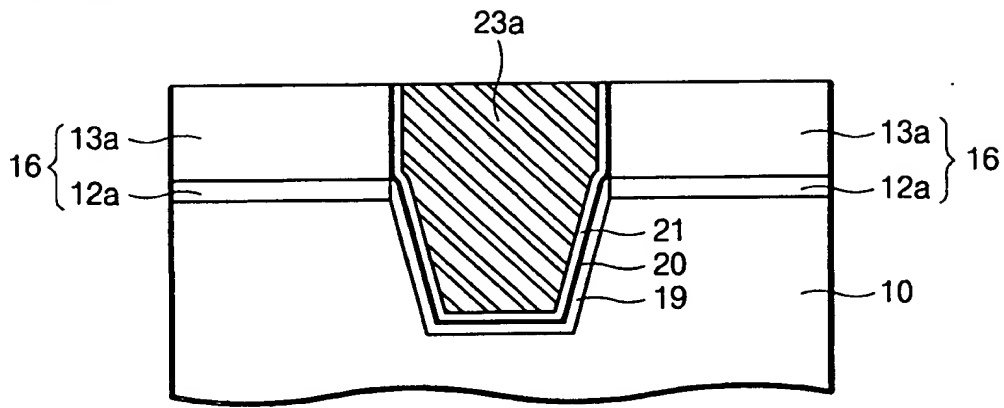
【図 1e】



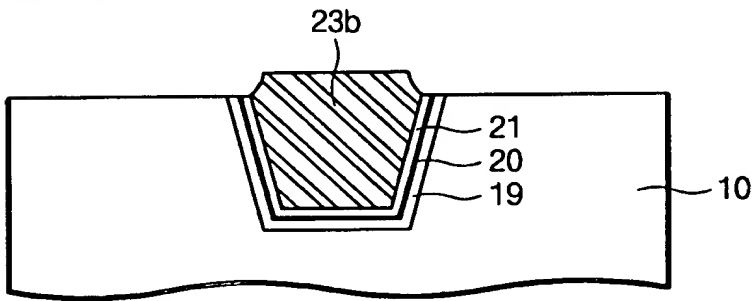
【図 1f】



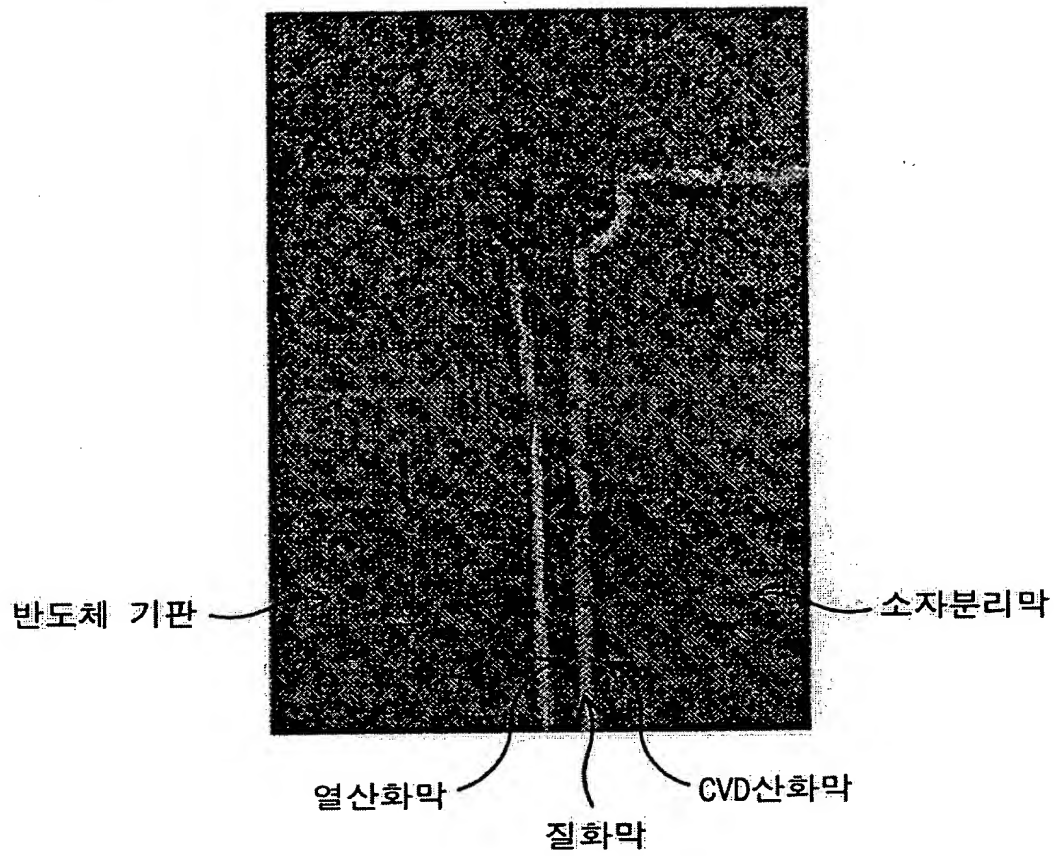
【도 1g】



【도 1h】



【도 2a】



【도 2b】

